

Studium procesoru TMS570LS31x

1 Úvod

1.1 Údaje o procesoru

- Maximální frekvence CPU 180 Mhz, big-endian formát, 3MB Flash paměti, 256 KB RAM. Procesor je duální a po každé instrukci se výsledek porovnává a v případě nesouladu se prohlásí za chybu.
- Typ procesoru Cortex-R4F.
- Obsahuje dva N2HET koprocesory – programovatelné časovače s jednoduchou instrukční sadou, 40 I/O porty, 12-bitový A/D převodník s 24 vstupy.
- Obsahuje dva MibADC (multi buffered AD converter) s 24 kanály dohromady.
- Obsahuje FMPLL (frequency-modulated phase-locked loop) - násobička externí referenční frekvence pro vnitřní použití.
- Obsahuje ECP (external clock prescaler) - uvolní na výstupní pin ECLK frekvenci upravenou programovatelnou děličkou. Jedná se o frekvenci periferních rozhraní.
- Obsahuje kontrolér DMA se 16 kanály a s ochranou Memory Protection Unit (MPU).
- EMIF (External Memory Interface) - umožňuje rozšíření operační paměti.

1.2 Monitoring a debugging

- ESM (Error Signaling Module) - monitoruje všechny chyby, rozhoduje o vyvolání přerušení nebo nastavení výstupu na nERROR
- ETM (External Trace Macrocell) - slouží k monitorování dat a instrukcí programu za běhu
- RTP (RAM Trace Port) - slouží k vysokorychlostnímu sledování operační paměti
- DMM (Data Modification Module) - umožňuje externí modifikace obsahu paměti
- POM (Parameter Overlay Module) - urychluje operace s Flash pamětí tím, že zapisuje jen do potřebných částí.
- DAP (Debug Access Port) – umožňuje debugovacímu nástroji modifikovat obsah kterékoliv paměti

1.3 Komunikační rozhraní

- 3x MibSPIs
- 2x SPI
- 1x LIN
- 1x SCI
- 3x DCAN
- 1x I2C
- 1x Ethernet
- 1x FlexRayTM

2 Architektura

Diagram na straně 96 dokumentace.

- VBUSM SCR – hlavní sběrnice, řídí přístup z masterů do slave metodou round robin.
- AHB BMM – master sběrnice, volí mezi přístupy svých masterů podle priority (POM → DMA → DMM → DAP)
- VBUSP SCR – Master sběrnice i slave sběrnice. Volí mezi přístupy metodou round robin

2.1 Organizace paměti

Procesor používá 32-bitovou adresní sběrnici, může tedy adresovat až 4GB prostoru.

Reset vektor se nachází v paměti na adrese 0x00000000, zde začíná procesor vykonávat program.

Interní paměť RAM začíná na adrese 0x08000000.

Kontrolní a stavové registry všech modulů jsou také mapovány do adresního prostoru (viz str. 109-111).

2.2 Výjimky

Výjimka přeruší dočasně zpracování hlavního programu. Existují 3 typy výjimek. Reset, Aborts, softwarová přerušení.

2.2.1 Aborts

- Prefetch aborts – chyba načtení instrukce, označí instrukci jako neplatnou a nevyvolá Abort dokud se nezačne vykonávat.
- Data aborts – chyba přístupu k datům
- Precise aborts – je detekován i zaviněn právě prováděnou instrukcí
- Imprecise aborts – detekován pozdější instrukcí než tou, která ho způsobila

Vznik aborts

Přístup na neplatnou adresu mimo rozsah

Přístup na chráněnou adresu (lze nastavit, které části paměti jsou chráněné)

Chyba parity, ECC nebo vypršení časového limitu přístupu

2.2.2 Softwarové přerušení

Vzniká zápisem hodnoty do jednoho ze čtyř SSIR registrů. Přerušení smí být popsáno 8-bitovou hodnotou, zdroj se detekuje z SSIVVEC registru (str. 184).

2.3 Systémové a periferní kontrolní registry

Strana 122-222 v dokumentaci

3 Správa napájení

Procesor podporuje 5 logických domén, 3 paměťové domény a umožňuje při inicializaci procesoru zapnout a vypnout nepotřebné domény (str. 226).

4 Multiplexování vstupů a výstupů

Některým pinům čipu je přiřazeno více funkcí. Změnou bitů registru PINMMR je možné přepínat mezi nimi. 1 pin může mít až 4 funkce.

Tabulka multiplexingu na str. 272

5 TCRAM modul

Procesor ARM® Cortex-R4FTM má dvě spřažená paměťová rozhraní. ATCM pro přístup k programové paměti, BTCM pro přístup k CPU RAM.

Procesor umožňuje pomocí BTCM rozhraní přistupovat až k 8MB paměti. Hercules podporuje 256KB RAM chráněné pomocí ECC, které jsou uloženy také v RAM.

- 0-256 KB: prostor pro data
- 256KB – 4MB: neplatné adresy
- 4MB – 4MB+256KB: ECC
- 4MB+256KB – 8MB: neplatné adresy

Každé slovo je dlouhé 64 bitů, chráněné 8 bitovým kódem. Slovo i kód jsou rozdělené na 32 bitů a 4 bity, každá RAM banka je pak široká 36 bitů.

Je možné také přímo přistupovat k paměti ECC. Kód ECC se poté objeví na každém byte 64 bitové sběrnice. Zápisy do ECC musejí být explicitně povoleny v RAMCTRL. Tyto přístupy do paměti nejsou sledovány RTP.

Při automatické inicializaci jsou paměťové buňky nastaveny na 0 a ECC na 0xFC

5.1 TCM (Trace Module Support)

TCM sleduje signály a směruje je na RTP (RAM Trace Port).

- 18-bit adresy
- 64-bit data
- synchronizační informaci
- ID přistupujícího modulu
- typ přístupu (operační kód nebo data)
- Čtení nebo zápis

6 Programovatelný vestavěný self-test modul

PBIST je tvořen malým koprocesorem s vlastní instrukční sadou zaměřenou na testování paměti. Testovací rutiny jsou v PBIST ROM. PBIST má oddělený přístup k pamětem od hlavního CPU.

7 CPU self test controller (STC)

Slouží k testování CPU. Umožňuje otestovat celé CPU nebo použít jednotlivé testy. Má definovaná testovací data a správné výsledky v ROM a v průběhu testu porovnává výsledky s předpokládanými. Výsledky testu jsou v STCGSTAT .

8 Compare Module for Cortex™-R4F (CCM-R4F)

Slouží k detekci selhání CPU za běhu. Čip obsahuje dva CPU. Jeden hlavní a druhý kontrolní. Srovnávací modul porovnává výstupy obou CPU na srovnávací sběrnici. Umožňuje provádět self-test.

9 Oscilátor a PLL

Po resetu procesoru je standardní zdroj hodin na portech OSCIN a OSCOUT. Jedná se o externí zdroj signálu. Vnitřní oscilátor začne generovat pomocí tohoto rezonátoru nebo krystalu hodinový signál, který je vstupem do PLL

Frekvence oscilátoru je permanentně monitorována a pokud je mimo stanoven meze, přepne se oscilátor na vnitřní frekvenci generovanou LPO.

PLL je obvod, který vstupní frekvenci upravuje na vyšší výstupní frekvenci.

LPO poskytuje dva rozsahy frekvencí. HF LPO – 5,6MHz – 22,6MHz; LF LPO – 55KHz – 200KHz

10 Error Signaling Module (ESM)

Modul zpracovává chybové stavy mikrokontroleru. Má 128 chybových kanálů ve třech skupinách.

- 1) nízká závažnost s konfigurovatelným přerušením a konfigurovatelným výstupem ERROR
- 2) vysoká závažnost s předdefinovaným přerušením a výstupem na ERROR
- 3) vysoká závažnost bez přerušení a s výstupem na ERROR. Slouží k hlášení chyb během diagnostiky CPU

Každý kanál má vlastní error flag v ESMSEX registrech. Jakmile se jednou vyskytne chyba a nastaví se ERROR, je třeba provést reset nebo zapsat 0x5h do ESMEKR

11 Real-Time Interrupt Module (RTI)

Poskytuje funkce časovače pro operační systémy, měření výkonu a synchronizaci s FlexRay

Obsahuje dva 64-bitové čítače, 4 komparátory generující přerušení nebo DMA požadavky. Jeden čítač umožňuje synchronizaci s FlexRay.

11.1 Digital Watchdog

Defaultně deaktivovaný, slouží k detekci správného běhu programu. 32-bitová hodnota (inverzní k pevně danému kódu modulu) se запиše do RTIDWDCTRL . Tím se DWD aktivuje. 25-bitový DWD čítač se naplní 12-bitovou hodnotou z RTIDWDPRLD a dekrementuje se s frekvencí RTICLK . Dosáhne-li hodnoty 0 nebo se запиše špatná hodnota, vyvolá reset procesoru.

11.1.1 Digital Windowed Watchdog

Funguje podobně jako DWD, akorát je povoleno s ním manipulovat jen v definovaném časovém okně. Jakákoliv manipulace mimo okno, dosažení 0 nebo špatně zapsaná hodnota vyvolá reset procesoru.

12 Vectored Interrupt Manager (VIM)

Poskytuje HW asistenci pro přiřazování priorit a kontrolování přerušení. Poskytuje 95 kanálů pro obsluhu přerušení ve 3 modech.

Procesor poskytuje dva vektory pro IR. Rychlý FIQ a normální IRQ.

12.1 Softwarové zpracování přerušení

- Index interrupts mode – kompatibilní se starší řadou kontrolerů. Po obdržení přerušení se provede skok na 0x18 (IRQ) nebo 0x1C (FIQ) a provede se hlavní ISR. Ta podle offset registru zjistí zdroj přerušení a provede skok dle softwarové tabulky.
- Register vectored interrupts – Před povolením přerušení je potřeba nastavit tabulku vektorů přerušení (VIM RAM). Jakmile VIM obdrží přerušení, nahraje adresu z VIM do registru, poté se provede skok na 0x18 (0x1C) a hlavní ISR provede skok dle adresy v registru.
- Hardware vectored interrupts – opět se musí nejprve naplnit tabulka VIM pro každý kanál přerušení. Po obdržení přerušení se provede rovnou skok na adresu příslušné ISR z VIM.

12.2 VIM RAM

Ukládá adres obslužných rutin (ISR). Bezpečnost je zajištěna paritou. Obsahuje 96 32-bitových slov. Jeden vektor je Fantom, poslední se nesmí používat.

13 DMA

Používá se k přenášení dat na pozadí mezi dvěma paměťovými lokacemi. K přenosu dochází bez využití CPU. Obsahuje FIFO o šířce 64 bitů a hloubce 4. 16 kanálů, 32 požadavků z periférií.

Rozlišuje 3 velikosti přenášených dat:

- Element – 8-64 bitová hodnota
- Frame – jeden nebo více elementů přenesených jako jednotka
- Block – jeden nebo více framů přenesených jako jednotka

Rozlišuje 3 adresní módy:

- Konstantní – adresy zdroje a cíle se nemění
- Post incremented – Adresa zdroje a/nebo cíle se po vykonání inkrementuje o velikost elementu
- Indexed – Adresa zdroje a/nebo cíle se po vykonání inkrementuje o hodnotu v registru.

Každý kanál DMA má vlastní kontrolní packet a jeho obsah se po vykonání zachovává. Obsahuje adresu zdroje, cíle, počet přenesení, konfiguraci.

14 N2HET časovač

Skládá se z host interface, NHET RAM, specializovaného mikrokontroleru a ovladače I/O pinů

Host interface kontroluje veškerou komunikaci mezi NHET RAM a nadřazených masterů, které k ní přistupují.

NHET RAM je organizovaná do dvou sekcí. První sekce obsahuje N2HET program, druhá paritní ochranné bity pro program. Každá instrukce je 96-bitů široká, zarovnaná do 128-bitových adres. Přístup do paměti z N2HET má větší prioritu než CPU nebo DMA.³

Specializovaný mikrokontroler má vlastní instrukční sadu. Stroj čte každou jednotlivou instrukci z N2HET RAM. Obsahuje 5 registrů A B R S T. Start vykonávání instrukcí od adresy 0x00h je řízen loop resolution clock signálem. Po nastavení tohoto signálu se spustí sekvenční vykonávání instrukcí a na konci programu se provede skok zpět na 0x00, kde se opět bude čekat na signál.

Ovladač I/O pinů má 32 vstupně výstupních pinů, které mohou sloužit jako obecné vstupně-výstupní porty.

15 Serial Communication Interface (SCI) modul

Používá se pro komunikaci například přes RS-232

Asynchronní, receiver-transmitter, implementuje nonreturn to zero formát.

15.1 Součásti

Skládá se z vysílače, generátoru přenosových hodin, přijímače

15.1.1 Vysílač

obsahuje 2 registry kvůli double buffering. SCITD (transmitter data buffer register) a SCITXSHF (transmitter shift register). CPU nahraje data pro odeslání do SCITD. SCITXSHF nahraje data z SCITD a postupně bit po bitu přesouvá data na pin.

15.1.2 Generátor přenosových hodin

programovatelný generátor, který generuje hodiny z hodin pro periferie.

15.1.3 Přijímač

Analogický k vysílači, opět doublebuffering. Data se z pinu načítají do posuvného registru SCIRXSHF a kompletní data se přesouvají do bufferu SCIRD.

15.2 Komunikační formáty

15.2.1 SCI Frame Formats

programovatelný formát rámců. Každý rámec se skládá z:

- Startovního bitu
- 1-8 datových bitů
- 0-1 adresního bitu
- 0-1 paritního bitu
- 1-2 stop bitů

konfigurace probíhá v registru SCIGCR1

15.2.2 Asynchronní SCI Timing Mód

UART protokol

Každý bit v rámci se opakuje po 16 SCI period přenosových hodin. Přenosové hodiny všech zařízení musejí být co nejvíce podobné.

Přijímač detekuje start bit, pokud je na pinu SCIRX 0 alespoň 4 tiky přenosových hodin. SCI poté sbírá vzorky dat vždy každý 7., 8., 9. tik hodin.

15.2.3 Isosynchronní Timing mód

Každý bit v rámci trvá právě 1 tik hodin. Zařízení jsou synchronizována pomocí SCICLK pinu.

15.2.4 Idle-Line Multiprocessor Mód

Při komunikaci s více zařízeními se musí jednotlivá zařízení adresovat. Data, která následují po nejméně 10 0 bitech se považují za adresu, ostatní za data

15.2.5 Adress-Bit Multiprocessor Mód

Jeden bit extra určuje, zda data reprezentují adresu zařízení a nebo data.

15.3 Přerušení

15.3.1 Vysílač

TXRDY – po přenesení dat z SCITD do shift registru. Indikuje, že SCITD je připraven k dalšímu zápisu. Přerušení je generováno až po prvním zápisu a vyprázdnění registru.

15.3.2 Přijímač

RXRDY – nastaven po přenesení přijatých dat ze shift registru do bufferu